

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
12. Dezember 2002 (12.12.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/099907 A1

(51) Internationale Patentklassifikation⁷: **H01L 51/20, 51/40**

(21) Internationales Aktenzeichen: **PCT/DE02/01948**

(22) Internationales Anmeldedatum: **27. Mai 2002 (27.05.2002)**

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
101 26 860.2 1. Juni 2001 (01.06.2001) DE (81) Bestimmungsstaaten (national): JP, US.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **SIEMENS AKTIENGESELLSCHAFT** [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **BERNDS, Adolf** [DE/DE]; Adalbert-Stifter-Strasse 11, 91083 Baiersdorf (DE). **FIX, Walter** [DE/DE]; Mühlstrasse 20a, 90762 Fürth (DE).

(74) Gemeinsamer Vertreter: **SIEMENS AKTIENGESELLSCHAFT**; Postfach 22 16 34, 80506 München (DE).

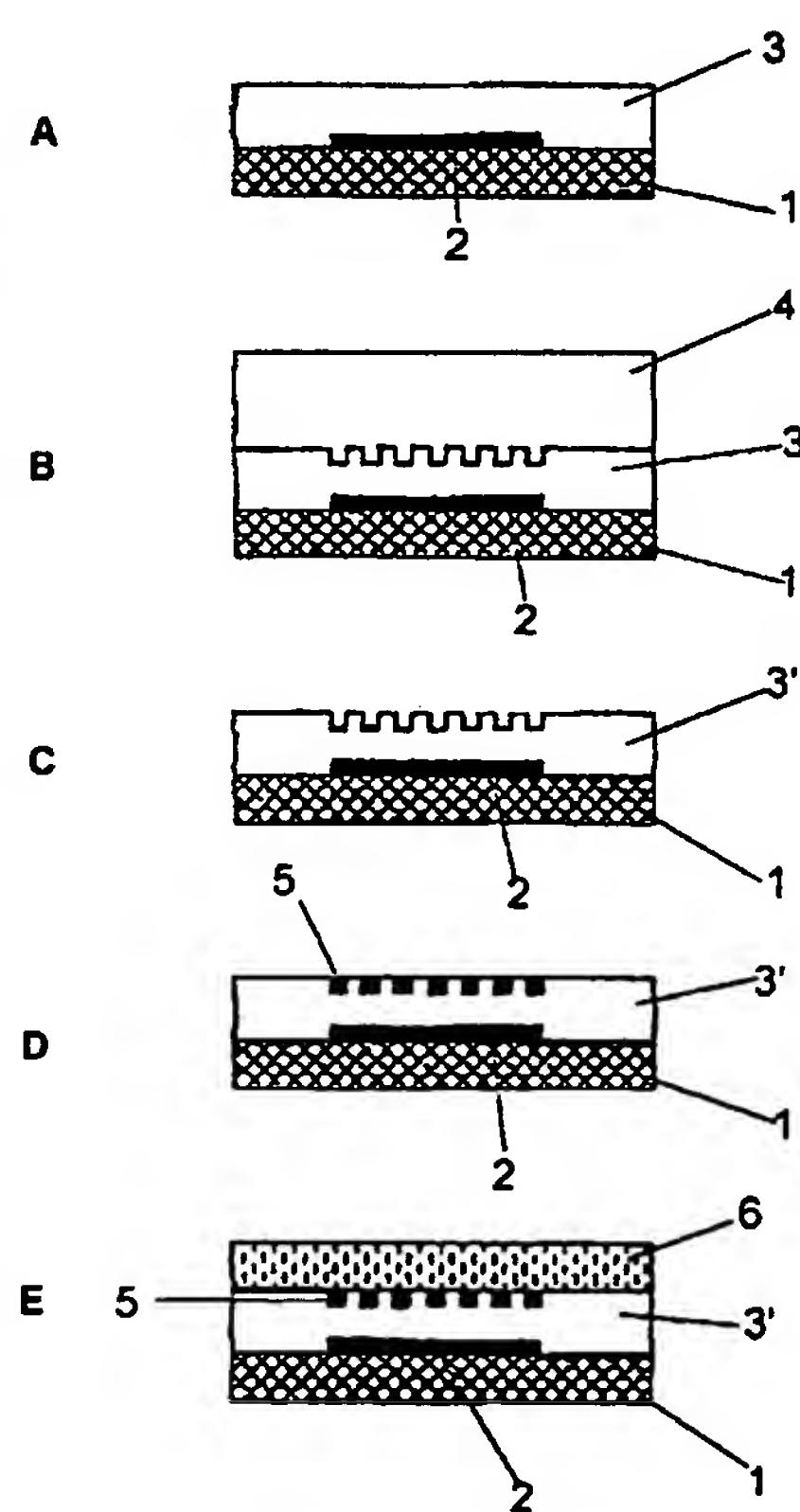
[Fortsetzung auf der nächsten Seite]

(54) Title: ORGANIC FIELD EFFECT TRANSISTOR, METHOD FOR PRODUCTION AND USE THEREOF IN THE ASSEMBLY OF INTEGRATED CIRCUITS

(54) Bezeichnung: ORGANISCHER FELDEFFEKT-TRANSISTOR, VERFAHREN ZU SEINER HERSTELLUNG UND VERWENDUNG ZUM AUFBAU INTEGRIERTER SCHALTUNGEN



WO 02/099907 A1



(57) Abstract: The invention relates to an OFET, in which the gate (2) and source and drain electrodes (5) are embedded in the insulation layer (3). The structuring of the insulation layer is carried out by means of a stamping technique, with which high resolution conducting structures can be produced and the OFET has a high power capacity.

(57) Zusammenfassung: Die Erfindung betrifft ein OFET, bei dem Gate-(2) sowie Source- und Drain-Elektroden (5) in der Isolatorschicht (3) eingebettet sind. Die Strukturierung der Isolatorschicht erfolgt durch eine Prägetechnik, wodurch hochauflöste leitfähige Strukturen ausgebildet werden können und der OFET eine hohe Leistungsfähigkeit aufweist.



(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Erklärungen gemäß Regel 4.17:

- *hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten JP, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)*
- *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

Veröffentlicht:

- *mit internationalem Recherchenbericht*
- *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Organischer Feldeffekt-Transistor, Verfahren zu seiner Herstellung und Verwendung zum Aufbau integrierter Schaltungen

5

Die Erfindung betrifft einen organischen Feldeffekt-Transistor (OFET), ein Verfahren zu dessen Herstellung sowie die Verwendung dieses OFETs zum Aufbau integrierter Schaltungen.

10 Feldeffekt-Transistoren (OFETs) spielen auf allen Gebieten der Elektronik eine zentrale Rolle. Bei ihrer Herstellung müssen mehrere organischen Schichten übereinander strukturiert werden. Das ist mit herkömmlicher Photolithographie, welche eigentlich zur Strukturierung von anorganischen Materialien dient, nur sehr eingeschränkt möglich. Die bei der Photolithographie üblichen Arbeitsschritte greifen bzw. lösen die organischen Schichten an und machen diese somit unbrauchbar. Das geschieht beispielsweise beim Aufschleudern, beim Entwickeln und beim Ablösen eines Photolackes.

15

20 Ein wesentlicher Faktor für die Güte eines OFETs und damit einer daraus aufgebauten integrierten Schaltung ist jedoch die Unversehrtheit und Stabilität der einzelnen Funktionsschichten und für die Leistungsfähigkeit ist insbesondere eine hohe Auflösung bzw. Feinheit der Source- und Drain-Elektroden wesentlich.

25 Zur Ausbildung feinster strukturierter Funktionsschichten auf einem Substrat wurde bereits eine Prägetechnik vorgeschlagen, bei der in einer Schicht mit einem entsprechend oberflächenstrukturierten Stempel Vertiefungen eingeprägt und konserviert werden. Diese Vertiefungen werden dann mit dem Material der nachfolgenden Funktionsschicht aufgefüllt. Ein solches Verfahren und damit erzeugte OFETs sind in der deutschen Patentanmeldung DE 10061297.0 der Anmelderin beschrieben. Hier werden die Vertiefungen jedoch in einer zusätzlichen Schicht erzeugt.

Aufgabe der Erfindung ist es, einen vereinfachten, kompakten Aufbau für ein OFET anzugeben, der dessen Herstellung im Massenherstellungsmaßstab kostengünstig erlaubt. Dabei soll 5 gleichzeitig die Leistungsfähigkeit und Stabilität des OFETs gewährleistet bleiben.

Gegenstand der vorliegenden Erfindung ist ein organischer Feldeffekt-Transistor, welcher
10
- eine Gate-Elektrode
- eine Isolatorschicht
- eine Halbleiterschicht
15 in dieser Reihenfolge auf einem Substrat umfasst, wobei in der Isolatorschicht die Source- und Drain-Elektroden sowie die Gate-Elektrode eingebettet sind.

Vorteil des erfindungsgemäß gestalteten OFETs ist, dass der
20 Transistoraufbau wesentlich vereinfacht, die Qualität des Isolators verbessert und der Halbleiter als oberste Schicht ermöglicht wird. Letzteres ist insbesondere von Vorteil, da die Halbleitermaterialien bzw. -schichten die empfindlichsten Komponenten in einem solchen System sind. Mit anderen Worten,
25 die Halbleiterschicht wird keinen weiteren Prozessschritten mehr ausgesetzt. Im Vergleich zu herkömmlichen OFETs entfällt desweiteren eine ganze Schicht, was letztendlich den OFET im Vergleich zum Stand der Technik dünner macht. Vor allem wird ein Prozessschritt zur Erzeugung der zusätzlichen Schicht
30 eingespart.

Die Isolatorschicht wird vorzugsweise aus einem selbsthärten-
den oder einem UV- oder wärmehärtbaren Polymermaterial gebil-
det und mittels einer Prägetechnik für die Aufnahme der Sour-
35 ce- und Drain-Elektrode(n) strukturiert. Dazu ist die ge-
wünschte Strukturierung für die Anlage der Source- und Drain-
Elektrode(n) als Positiv auf einem Prägestempel ausgebildet

und wird damit in die ungehärtete Isolatorschicht übertragen. Die Struktur wird durch Aushärten konserviert. Durch die erfindungsgemäß angewendete Prägetechnik in Verbindung mit der Aushärtung des Isolatormaterials lassen sich feinste, diskrete und permanente Spuren bzw. Vertiefungen für die Leiterbahnen bzw. Elektroden erzeugen.

Damit ist erfindungsgemäß auch gewährleistet, dass der Abstand l zwischen Source- und Drain-Elektrode kleiner als 20 μm , insbesondere kleiner 10 μm und vorzugsweise zwischen 2 bis 5 μm beträgt, was einer Höchstauflösung und damit höchster Leistungskapazität eines OFETs entspricht.

Die vorliegende Erfindung betrifft auch ein Verfahren zur Herstellung eines OFETs mit insbesondere Bottom-Gate-Struktur, bei dem man auf einem Substrat eine Gate-Elektrode aufbringt, darüber eine Isolatorschicht aus einem härtenden Material ausbildet, in der ungehärteten Isolatorschicht mittels eines Prägestempels die Struktur für die Source- und Drain-Elektrode(n) erzeugt und durch Aushärten des Isolatormaterials konserviert, die konservierte Struktur mit einem leitfähigen Material auffüllt und darüber die Halbleiterschicht ausbildet.

Wie gesagt, bestehen die Vorteile in einem vereinfachten Transistoraufbau. Es wird nur eine einzige Isolatorschicht verwendet, welche gleichzeitig Träger der Source- und Drain-Elektroden und Isolator ist. Demgegenüber sieht der normale Herstellungsprozess für jede der beiden Funktionen eine gesonderte Schicht vor. Die Einsparung einer ganzen Schicht bedeutet nicht nur Material-, sondern auch Kosteneinsparung.

Die Qualität des Isolators ist verbessert. Ein Grund dafür ist, dass die Isolatoroberfläche durch das Prägeverfahren geglättet wird und zwar dort, wo es für die Transistorfunktion am wichtigsten ist, nämlich an der Grenzfläche von Halbleiter und Isolator.

Auch ist der Isolator optimal für die Aufnahme des Halbleiters vorkonditioniert, da er aufgrund der Aushärtung nicht mehr vom Lösungsmittel des Halbleiters während dessen Auftrag 5 angreifbar ist. Das bedeutet auch eine große Freiheit bei der Auswahl des Lösungsmittels, in dem der Halbleiter zum Auftragen und Ausbilden der Schicht gelöst werden kann.

Das (selbst)härtende Material für die Isolationsschicht wird 10 vorzugsweise aus Epoxiden und Acrylaten ausgewählt. Diese Materialien können so konditioniert werden bzw. sein, dass sie beispielsweise bereits unter der Einwirkung von Luftsauerstoff aushärten und/oder durch Einwirkung von UV-Licht und/oder Wärme. Diese Polymere lassen sich entweder aus der 15 Lösung oder in Form flüssiger UV-Lacke auftragen, entweder durch Spin-Coaten oder Drucken, wodurch eine große Homogenität der Schicht gewährleistet werden kann.

Das leitfähige Material zur Ausbildung der Elektroden kann 20 aus organischen leitfähigen Materialien und partikelgefüllten Polymeren ausgewählt werden. Leitfähige organische Materialien sind beispielsweise dotiertes Polyethylen oder dotiertes Polyanilin. Partikelgefüllte Polymere sind solche, welche leitfähige, meist anorganische Partikel in dichter Packung 25 enthalten. Das Polymer selbst kann dann leitfähig oder nicht-leitfähig sein. Die leitfähigen anorganischen Partikel sind beispielsweise Silber oder andere metallische Teilchen sowie Graphit oder Carbon Black.

30 Vorzugsweise wird man das leitfähige Material in die vorgegebene Strukturierung des Isolators einrakeln. Die Rakelmethode liefert den Vorteil, dass die Auswahl des leitfähigen Materials nahezu unbegrenzt ist, wobei eine gleichförmige Ausfüllung der Strukturierung gewährleistet wird.

Das erfindungsgemäße Verfahren kann auch so ausgestaltet werden, dass es kontinuierlich geführt wird, was einen höheren Produktionsauswurf gewährleistet.

- 5 Da es sich bei den erfindungsgemäß ausgestalteten OFETs um solche hoher Qualität und Leistungsfähigkeit handelt, eignen sie sich insbesondere zum Aufbau integrierter Schaltungen, welche auch all-organisch sein können.
- 10 Im Folgenden wird das erfindungsgemäße Verfahren und der Aufbau des erfindungsgemäßen OFETs anhand von schematischen Figuren 1 bis 6 näher erläutert.

Zunächst wird gemäß Fig. 1 auf einem Substrat 1, das beispielsweise eine dünne Glasfolie oder eine Polyethylen-, Polyimid- oder Polyterephthalatfolie sein kann, eine Gate-Elektrode 2 strukturiert. Die Gate-Elektrode 2 kann aus metallischem oder nicht-metallischem organischem Material bestehen. Unter den metallischen Leitern kann man an Kupfer, 20 Aluminium, Gold oder Indium-Zinn-Oxid denken. Organische leitende Materialien sind dotiertes Polyanilin oder Polyethylen oder partikelgefüllte Polymere. Je nach Auswahl des leitenden Materials erfolgt die Strukturierung der Gate-Elektrode entweder durch Aufdrucken oder lithographische Strukturierung.

25 Über der Gate-Elektrode 2 und auf dem Substrat 1 wird nun gemäß Fig. 2 die Isolatorschicht 3 aufgetragen. Dies kann durch Spin-Coaten oder Bedrucken erfolgen. Die Isolatorschicht 3 wird vorzugsweise aus einem UV-härtenden oder wärmehärtenden Material, wie Epoxid oder Acrylat, erzeugt.

30 Gemäß Fig. 3 wird in der nicht ausgehärteten Isolatorschicht 3 mittels eines Prägestempels 4, der die Struktur der Source- und Drain-Elektrode(n) in Positivform trägt, diese gewünschte Struktur eingeprägt. Die Isolatorschicht 3 wird dann aushärteten gelassen oder mittels Einwirkung von UV-Licht oder Wärme ausgehärtet und der Stempel 4 dann entfernt.

Wie aus Fig. 4 ersichtlich ist, ist die für die Source- und Drain-Elektroden vorgesehene Struktur in der Isolatorschicht 3' permanent und konturenscharf konserviert.

5

In die erzeugten Vertiefungen bzw. Spuren wird gemäß Fig. 5 nun das leitfähige Material 5 eingefüllt. Das geschieht aufgrund der oben angegebenen Vorteile vorzugsweise mit Hilfe einer Rakel. Dazu geeignete Materialien sind ebenfalls oben 10 erwähnt.

Gemäß Fig. 6 wird nun noch die Halbleiterschicht, welche aus konjugierten Polymeren, wie Polythiophenen, Polythienylenen oder Polyfluorenderivaten aus einer Lösung verarbeitbar sind, 15 aufgetragen. Das Auftragen kann hier durch Spin-Coaten, Rakeln oder Bedrucken erfolgen. Für den Aufbau der Halbleiterschicht eignen sich auch sogenannte "small molecules" d.h. Oligomere wie Sexithiophen oder Pentacen, die durch eine Vakuumtechnik auf das Substrat aufgedampft werden.

20

Aufgrund der Unempfindlichkeit der ausgehärteten Isolatorschicht können für das Auftragen der Halbleiterschicht die verschiedenen Lösungsmittel und damit die für das gesamte Herstellungsverfahren jeweils geeignete Auftragstechnik aus- 25 gewählt werden.

Das vorgeschlagene Herstellungsverfahren ist für die großtechnische Anwendung geeignet. Es können gleichzeitig viele verschiedene OFETs in einem kontinuierlichen Verfahren bei 30 durchlaufendem Band erzeugt werden.

Patentansprüche

1. Organischer Feldeffekt-Transistor, welcher
 - 5 - eine Gate-Elektrode (2)
 - eine Isolatorschicht (3')
 - eine Halbleiterschicht (6)
- 10 in dieser Reihenfolge auf einem Substrat (1) umfasst, wo-
bei in der Isolatorschicht (3') die Source- und Drain-
Elektrode(n) eingebettet sind.
- 15 2. Organischer Feldeffekt-Transistor nach Anspruch 1, da-
durch gekennzeichnet, dass die Isolatorschicht (3') aus
einem UV- oder wärmehärtbaren Material gebildet ist.
- 20 3. Organischer Feldeffekt-Transistor nach Anspruch 1 oder 2,
dadurch gekennzeichnet, dass die Isolatorschicht (3')
mittels einer Prägetechnik für die Aufnahme der Source-
und Drain-Elektrode(n) strukturiert ist.
- 25 4. Organischer Feldeffekt-Transistor nach einem der Ansprü-
che 1 bis 3, dadurch gekennzeichnet, dass der Abstand 1
zwischen Source- und Drain-Elektrode kleiner 20 µm, ins-
besondere kleiner 10 µm und vorzugsweise zwischen 2 bis 5
µm beträgt.
- 30 5. Verfahren zur Herstellung eines OFETs mit Bottom-Gate-
Struktur nach einem der Ansprüche 1 bis 4, bei dem man
auf einem Substrat (1) eine Gate-Elektrode (2) aufbringt,
darüber eine Isolatorschicht (3) aus einem härtenden Ma-
terial ausbildet, in der ungehärteten Isolatorschicht (3)
mittels eines Prägestempels (4) die Struktur für die
Source- und Drain-Elektrode(n) erzeugt und durch Aushär-
ten des Isolatormaterials konserviert, die konservierte
Struktur mit einem leitfähigen Material auffüllt und dar-
über die Halbleiterschicht (6) ausbildet.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass man das härtende Material für die Isolatorschicht (3') aus Epoxiden und/oder Acrylaten auswählt.
5
7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass man das leitfähige Material zur Ausbildung der Elektroden aus organischen leitfähigen Materialien und partikelgefüllten Polymeren auswählt.
10
8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass man das leitfähige Material in die vorgegebene Strukturierung für den Isolator (3') einrakelt.
15
9. Verfahren nach einem der Ansprüche 5 bis 8, das als kontinuierliches Verfahren mit einem durchlaufenden Band durchgeführt wird.
20 10. Verwendung eines OFETs nach einem der Ansprüche 1 bis 4 oder 5 bis 9 beim Aufbau integrierter Schaltungen.

Fig. 1

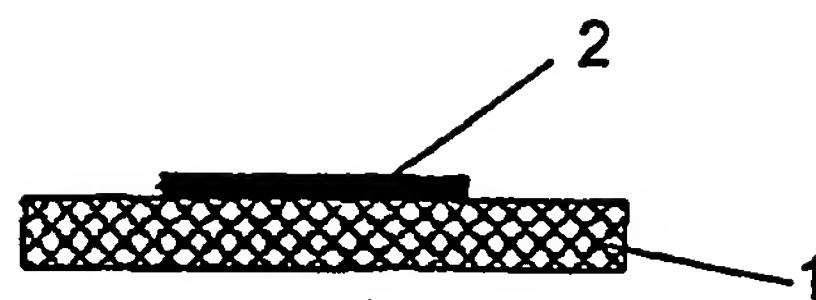


Fig. 2

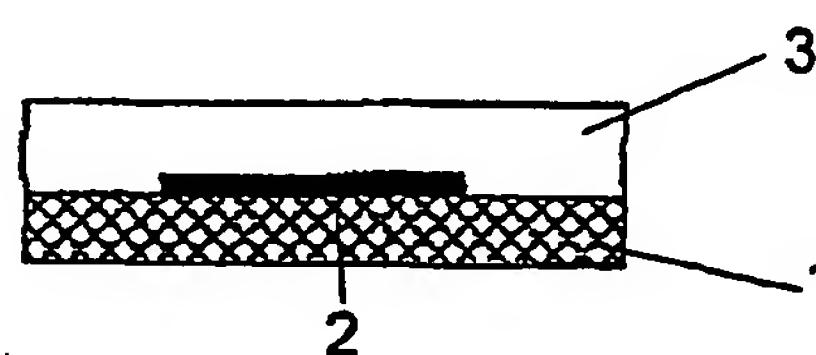


Fig. 3

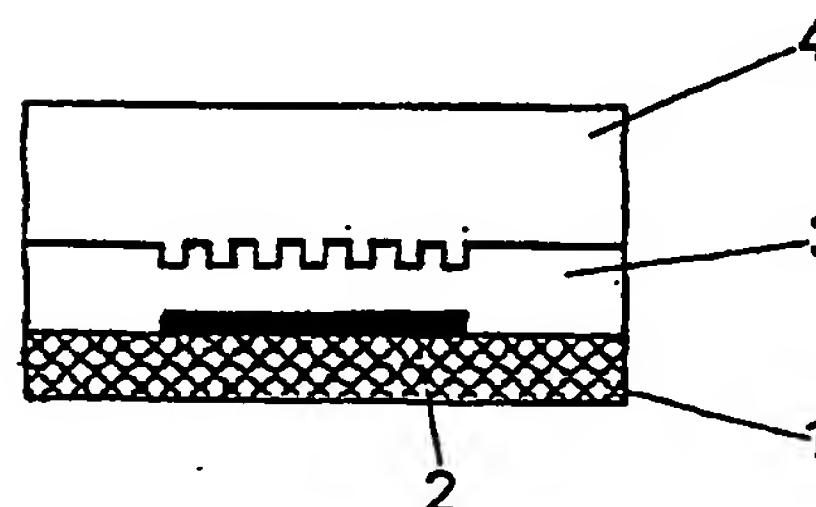


Fig. 4

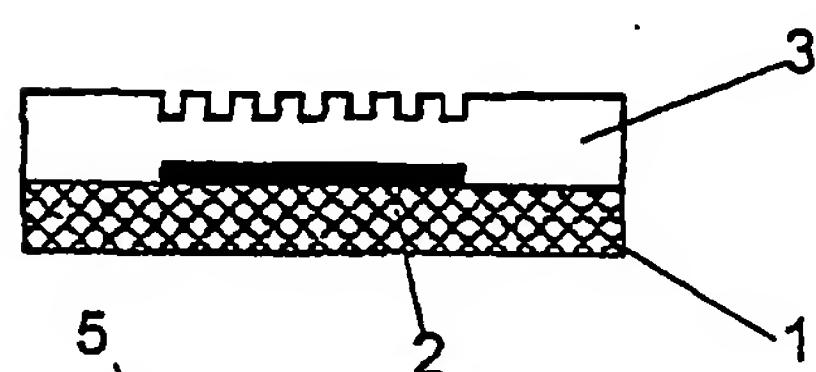


Fig. 5

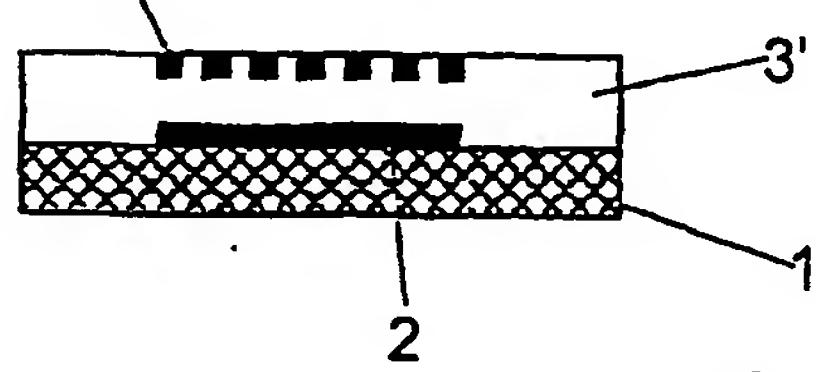
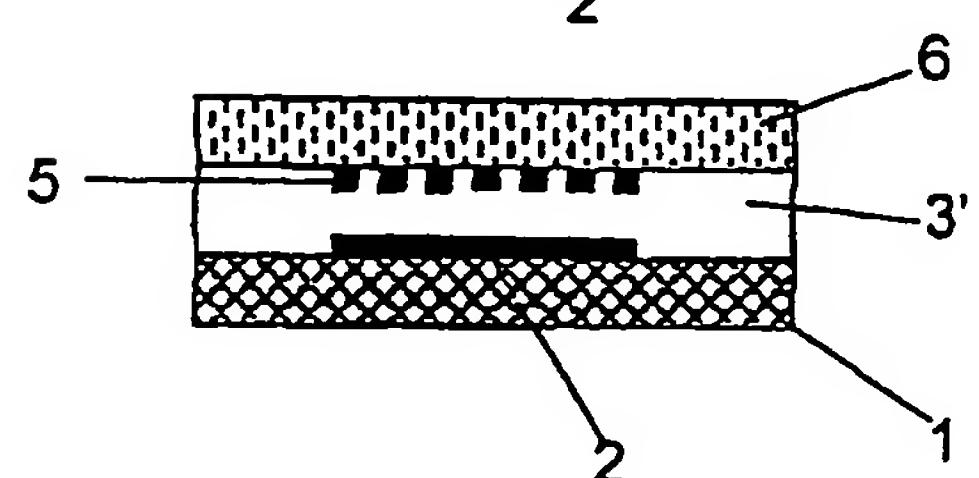


Fig. 6



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 02/01948A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L51/20 H01L51/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GUO L ET AL: "NANOSCALE SILICON FIELD EFFECT TRANSISTORS FABRICATED USING IMPRINTLITHOGRAPHY" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 71, no. 13, 29 September 1997 (1997-09-29), pages 1881-1883, XP000725821 ISSN: 0003-6951 the whole document ---	1-10
A	US 5 854 139 A (KONDO KATSUMI -ET AL) 29 December 1998 (1998-12-29) column 9, line 10 - line 15 column 16, line 43 - line 49; figure 6 column 16, line 18 - line 31 ---	1-10 -/-

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

- *T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *&* document member of the same patent family

Date of the actual completion of the International search

24 September 2002

Date of mailing of the International search report

04/10/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax. (+31-70) 340-3016

Authorized officer

Agne, M

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 02/01948

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	TORMEN M ET AL: "Thermocurable polymers as resists for imprint lithography" ELECTRONICS LETTERS, IEE STEVENAGE, GB; vol. 36, no. 11, 25 May 2000 (2000-05-25), pages 983-984, XP006015268 ISSN: 0013-5194 the whole document	2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 02/01948

Patent document cited in search report	Publication date		Patent family member(s)	Publication date
US 5854139	A 29-12-1998	JP	3246189 B2	15-01-2002
		JP	8018125 A	19-01-1996
		US	5705826 A	06-01-1998

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.